

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-326424

(43)Date of publication of application : 26.11.1999

(51)Int.Cl.

G01R 31/00  
G01R 31/28  
G02F 1/136  
H01L 21/66  
H01L 29/786

(21)Application number : 10-130774

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.05.1998

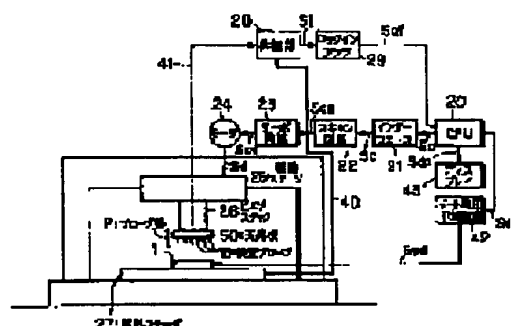
(72)Inventor : KOBAYASHI MASANAO

## (54) SEMICONDUCTOR ELEMENT INSPECTING DEVICE AND METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To inspect at once the presence of a defective for operation of plural TFTs under the condition same to practical driving.

SOLUTION: This device is provided with a resonant part 28 for measuring an electrostatic capacity between each inspection probe 18 and each gate electrode respectively, and a CPU 20 for determining the presence of a defective of each TFT based on the measured electrostatic capacity. The CPU 20 determines each TFT impressed with drive voltage as a non-defective when total of the electrostatic capacities after the drive voltage is impressed to each gate electrodes is equal to a value of an electrostatic capacity determined based on one preliminarily measured non-defective TFT multiplied by the number of the TFTs inspected at once.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平11-326424

(43) 公開日 平成11年(1999)11月26日

(51) Int.Cl.<sup>6</sup>  
 G 0 1 R 31/00  
 31/28  
 G 0 2 F 1/136  
 H 0 1 L 21/66  
 29/786

識別記号

5 0 0

F I

G 0 1 R 31/00  
 G 0 2 F 1/136 5 0 0  
 H 0 1 L 21/66 B  
 G 0 1 R 31/28 K  
 H 0 1 L 29/78 6 2 4

審査請求 未請求 請求項の数8 O L (全 14 頁)

(21) 出願番号 特願平10-130774  
 (22) 出願日 平成10年(1998) 5 月13日

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿 2 丁目 4 番 1 号  
 (72) 発明者 小林 正直  
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコ  
 ーエプソン株式会社内  
 (74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

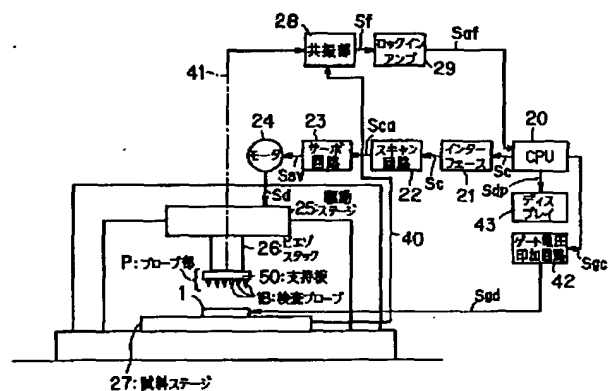
(54) 【発明の名称】 半導体素子検査装置及び半導体素子検査方法

(57) 【要約】

【課題】 実際の駆動時と同様な状態で複数の T F T の動作の良否を一度に検査することが可能な半導体素子検査装置及び半導体素子検査方法を提供する。

【解決手段】 各検査プローブ 1 8 と各ゲート電極の間の静電容量を夫々測定する共振部 2 8 と、測定された静電容量により各 T F T が不良品か否かを判定する CPU 2 0 と、を備え、CPU 2 0 は、各ゲート電極に駆動電圧を印加後の静電容量の合計と、予め測定した一の良品 T F T に基づいて定められた静電容量に一度に検査される T F T 3 0 の数を乗じた値とが等しい時、駆動電圧が印加された各 T F T を良品と判定する。

検査装置の概要構成を示すブロック図



## 【特許請求の範囲】

【請求項1】複数の薄膜トランジスタに対応する位置に、各前記薄膜トランジスタのゲート電極及び前記半導体層を含んで夫々構成される容量回路の静電容量を検出するための複数の検査プローブを配置する配置手段と、各前記薄膜トランジスタの前記ゲート電極に対して、予め設定された所定の駆動電圧を同時且つ各前記薄膜トランジスタ毎に夫々印加する印加手段と、各前記容量回路の前記静電容量を前記駆動電圧を印加後に測定する測定手段と、前記測定された各静電容量に基づいて各前記薄膜トランジスタを判定する判定手段と、を備えることを特徴とする半導体素子検査装置。

【請求項2】 請求項1に記載の半導体素子検査装置において、前記判定手段は、各前記ゲート電極に前記駆動電圧を夫々印加したときの各前記静電容量と、良品である一の前記薄膜トランジスタについて、当該一の薄膜トランジスタの前記ゲート電極に前記駆動電圧を印加したときの当該一の薄膜トランジスタに関する前記容量回路の静電容量に前記複数の検査プローブが一度に配置される前記薄膜トランジスタの数を乗じた値とを比較することにより、当該駆動電圧が同時に印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査装置。

【請求項3】 請求項1又は2に記載の半導体素子検査装置において、前記測定手段は、測定すべき各前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定すると共に、前記判定手段は、各前記駆動電圧を夫々印加した後における前記共振周波数に基づいて、当該駆動電圧が夫々印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査装置。

【請求項4】 請求項1から3のいずれか一項に記載の半導体素子検査装置において、各前記薄膜トランジスタは、液晶パネルにおける各画素部内に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定手段は、各前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うことを特徴とする半導体素子検査装置。

【請求項5】 複数の薄膜トランジスタに対応する位置に、各前記薄膜トランジスタのゲート電極及び前記半導体層を含んで夫々構成される容量回路の静電容量を検出するための複数の検査プローブを配置する配置手段と、各前記薄膜トランジスタの前記ゲート電極に対して、各前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を同時且つ各前記薄膜トランジスタ毎に夫々印

加する印加手段と、

各前記容量回路の前記静電容量を前記駆動電圧を印加後に同時に測定する測定手段と、前記測定された各静電容量に基づいて各前記薄膜トランジスタを判定する判定手段と、を備えることを特徴とする半導体素子検査方法。

【請求項6】 請求項5に記載の半導体素子検査方法において、前記判定工程において、各前記ゲート電極に前記駆動電圧を夫々印加したときの各前記静電容量と、良品である一の前記薄膜トランジスタについて、当該一の薄膜トランジスタの前記ゲート電極に前記駆動電圧を印加したときの当該一の薄膜トランジスタに関する前記容量回路の静電容量に前記複数の検査プローブが一度に配置される前記薄膜トランジスタの数を乗じた値とを比較することにより、当該駆動電圧が同時に印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査方法。

【請求項7】 請求項5又は6に記載の半導体素子検査方法において、前記測定工程において、測定すべき各前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定すると共に、前記判定工程において、各前記駆動電圧を夫々印加した後における前記共振周波数に基づいて、当該駆動電圧が夫々印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする半導体素子検査方法。

【請求項8】 請求項5から6のいずれか一項に記載の半導体素子検査方法において、各前記薄膜トランジスタは、液晶パネルにおける各画素部内に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定工程において、各前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うことを特徴とする半導体素子検査方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶パネル等の駆動用に用いられる薄膜トランジスタが不良品か否かを検査する半導体素子検査装置の技術分野に属する。

## 【0002】

【従来の技術】近年、表示装置としての液晶パネルにおいて、当該液晶パネルに含まれる各画素部内に薄膜トランジスタを夫々含み、当該薄膜トランジスタをスイッチング素子として活用することにより画素電極を介して液晶層に駆動電圧を加えて当該液晶パネルを駆動するタイプの液晶パネルが一般化しつつある。

【0003】ここで、上述した液晶パネルの製造工程においては、薄膜加工技術等を用いて製造された夫々の薄

膜トランジスタが正常に動作するか否かを検査する必要があるが、従来では、当該検査は、例えば、製造者が拡大鏡等を用いて目視により出来上がった薄膜トランジスタの形状を見て不良品か否かを判定するか、又は、いわゆるサーキットテスタを用いて一つずつ不良品か否かを判定していた。

【0004】

【発明が解決しようとする課題】しかしながら、微細加工技術が進歩した今日では、上記液晶パネルの小型化が顕著であり、これに伴って画素部内の薄膜トランジスタも小型化する傾向が強い。

【0005】また、薄膜トランジスタ自体のスイッチング特性は、実際に駆動電圧を印加した状態で確認することが望ましいが、上述した目視による判定では、上記小型化の傾向とあいまって、形状自体を確実に判定することが困難であると共に実際の動作時と同様な駆動電圧を印加した状態での良否の判定ができないという問題点があった。

【0006】更に、上記サーキットテスタを用いた判定でも、当該判定時に上記駆動電圧を印加して判定するわけではないので、実際の動作状態の良否を判定することができないという問題点があった。

【0007】一方、例えば、上記液晶パネルが出来上がった後で実際の駆動電圧を印加して各薄膜トランジスタの動作状態の良否を検査することも可能であるが、この場合に、もし、動作不良の薄膜トランジスタが発見された場合には、当該液晶パネルは不良品となるのであり、このときには、当該不良品となった液晶パネルについては、薄膜トランジスタを形成した以降の製造工程全てが無駄となり、著しく不効率となるという問題点もあった。

【0008】更にまた、従来の目視又はサーキットテスタを用いた検査方法では、薄膜トランジスタをほぼ一つずつ検査することしかできず、上記液晶パネルのように数万個以上の薄膜トランジスタを含む表示装置では、それに含まれている薄膜トランジスタを全て検査するために膨大な時間と労力が必要となるという問題点もある。

【0009】そこで、本発明は、上記各問題点を鑑みて為されたもので、その課題は、製造工程途中において、実際の駆動時と同様な状態で薄膜トランジスタの動作の良否を迅速且つ確実に検査することが可能な半導体素子検査装置及び半導体素子検査方法を提供することにある。

【0010】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明は、複数の薄膜トランジスタに対応する位置に、各前記薄膜トランジスタのゲート電極及び前記半導体層を含んで夫々構成される容量回路の静電容量を検出するための複数の検査プローブを配置する配置手段と、各前記薄膜トランジスタの前記ゲート

電極に対して、予め設定された所定の駆動電圧を同時且つ各前記薄膜トランジスタ毎に夫々印加する印加手段と、各前記容量回路の前記静電容量を前記駆動電圧を印加後に測定する測定手段と、前記測定された各静電容量に基づいて各前記薄膜トランジスタを判定する判定手段と、を備えることを特徴とする。

【0011】請求項1に記載の発明の作用によれば、配置手段は、複数の薄膜トランジスタの駆動時に反転層が夫々形成される当該薄膜トランジスタの半導体層の領域に対応する位置に複数の検査プローブを夫々同時に配置する。

【0012】一方、印加手段は、各薄膜トランジスタのゲート電極に対して、各薄膜トランジスタに対応して設定された所定の駆動電圧を同時且つ各薄膜トランジスタ毎に夫々印加する。

【0013】これらにより、測定手段は、各容量回路の静電容量を駆動電圧を印加後において同時に測定する。

【0014】そして、判定手段は、測定された各静電容量に基づいて各薄膜トランジスタが不良品か否かを判定する。

【0015】よって、実際の駆動時に印加される駆動電圧を印加した後において測定された静電容量に基づいて各薄膜トランジスタが不良品か否かを判定するので、実際の駆動時と同じ状態で各薄膜トランジスタの良否を検査することができる。

【0016】また、複数の薄膜トランジスタの良否を一度に検査できるので、検査効率が向上する。

【0017】上記の課題を解決するために、請求項2に記載の発明は、前記判定手段は、各前記ゲート電極に前記駆動電圧を夫々印加したときの各前記静電容量と、良品である一の前記薄膜トランジスタについて、当該一の薄膜トランジスタの前記ゲート電極に前記駆動電圧を印加したときの当該一の薄膜トランジスタに関する前記容量回路の静電容量に前記複数の検査プローブが一度に配置される前記薄膜トランジスタの数を乗じた値とを比較することにより、当該駆動電圧が同時に印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする。

【0018】請求項2に記載の発明の作用によれば、請求項1に記載の発明の作用に加えて、判定手段は、各ゲート電極に駆動電圧を夫々印加したときの各静電容量と、良品である一の薄膜トランジスタについて、当該一の薄膜トランジスタのゲート電極に駆動電圧を印加したときの当該一の薄膜トランジスタに関する容量回路の静電容量に複数の検査プローブが一度に配置される薄膜トランジスタの数を乗じた値とを比較することにより、当該駆動電圧が同時に印加された各薄膜トランジスタが不良品か否かを判定する。

【0019】よって、実際の駆動時に印加される駆動電圧を印加した状態で各薄膜トランジスタが不良品か否か

が判定できるので、実際の駆動時と同じ状態で正確に各薄膜トランジスタの良否を検査することができる。

【0020】上記の課題を解決するために、請求項3に記載の発明は、前記測定手段は、測定すべき各前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定すると共に、前記判定手段は、各前記駆動電圧を夫々印加した後における前記共振周波数に基づいて、当該駆動電圧が夫々印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする。

【0021】請求項3に記載の発明の作用によれば、請求項1又は2に記載の発明の作用に加えて、測定手段は、測定すべき各静電容量と所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定する。

【0022】そして、判定手段は、各駆動電圧を夫々印加した後における共振周波数に基づいて、当該駆動電圧が夫々印加された各薄膜トランジスタが不良品か否かを判定する。

【0023】よって、より正確且つ迅速に各薄膜トランジスタを検査することができる。

【0024】上記の課題を解決するために、請求項4に記載の発明は、請求項1から3のいずれか一項に記載の半導体素子検査装置において、各前記薄膜トランジスタは、液晶パネルにおける各画素部に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定手段は、各前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うように構成される。

【0025】請求項4に記載の発明の作用によれば、各前記薄膜トランジスタは、液晶パネルにおける各画素部に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定手段は、各前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うことを特徴とする。

【0026】請求項1から3のいずれか一項に記載の発明の作用に加えて、各薄膜トランジスタは、液晶パネルにおける各画素部に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、判定手段は、各薄膜トランジスタが不良品か否かの判定を、液晶パネルの製造工程中において行う。

【0027】よって、液晶パネルの製造工程上において、当該製造されている液晶パネルの良否を迅速に判定することができる。

【0028】上記の課題を解決するために、請求項5に記載の発明は、複数の薄膜トランジスタに対応する位置に、各前記薄膜トランジスタのゲート電極及び前記半導体層を含んで夫々構成される容量回路の静電容量を検出

するための複数の検査プローブを配置する配置工程と、各前記薄膜トランジスタの前記ゲート電極に対して、各前記薄膜トランジスタに対応して予め設定された所定の駆動電圧を同時且つ各前記薄膜トランジスタ毎に夫々印加する印加工程と、各前記容量回路の前記静電容量を前記駆動電圧を印加後に同時に測定する測定工程と、前記測定された各静電容量に基づいて各前記薄膜トランジスタを判定する判定工程と、を備えることを特徴とする。

【0029】請求項5に記載の発明の作用によれば、配置工程において、複数の薄膜トランジスタの駆動時に反転層が夫々形成される当該薄膜トランジスタの半導体層の領域に対応する位置に複数の検査プローブを夫々同時に配置する。

【0030】一方、印加工程において、各薄膜トランジスタのゲート電極に対して、各薄膜トランジスタに対応して設定された所定の駆動電圧を同時且つ各薄膜トランジスタ毎に夫々印加する。

【0031】これらにより、測定工程において、各容量回路の静電容量を駆動電圧を印加後において同時に測定する。

【0032】そして、判定工程において、測定された各静電容量に基づいて各薄膜トランジスタが不良品か否かを判定する。

【0033】よって、実際の駆動時に印加される駆動電圧を印加した後において測定された静電容量に基づいて各薄膜トランジスタが不良品か否かを判定するので、実際の駆動時と同じ状態で各薄膜トランジスタの良否を検査することができる。

【0034】また、複数の薄膜トランジスタの良否を一度に検査できるので、検査効率が向上する。

【0035】上記の課題を解決するために、請求項6に記載の発明は、前記判定工程において、各前記ゲート電極に前記駆動電圧を夫々印加したときの各前記静電容量と、良品である一の前記薄膜トランジスタについて、当該一の薄膜トランジスタの前記ゲート電極に前記駆動電圧を印加したときの当該一の薄膜トランジスタに関する前記容量回路の静電容量に前記複数の検査プローブが一度に配置される前記薄膜トランジスタの数を乗じた値とを比較することにより、当該駆動電圧が同時に印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする。

【0036】よって、実際の駆動時に印加される駆動電圧を印加した状態で各薄膜トランジスタが不良品か否かが判定できるので、実際の駆動時と同じ状態で正確に各薄膜トランジスタの良否を検査することができる。

【0037】上記の課題を解決するために、請求項7に記載の発明は、前記測定工程において、測定すべき各前記静電容量と予め設定された所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定すると共に、前記判定工

程において、各前記駆動電圧を夫々印加した後における前記共振周波数に基づいて、当該駆動電圧が夫々印加された各前記薄膜トランジスタが不良品か否かを判定することを特徴とする。

【0038】請求項7に記載の発明の作用によれば、請求項5又は6に記載の発明の作用に加えて、測定工程において、測定すべき各静電容量と所定のインダクタンスとにより構成される閉回路の共振周波数を測定することにより、当該各静電容量を夫々測定する。

【0039】そして、判定工程において、各駆動電圧を夫々印加した後における共振周波数に基づいて、当該駆動電圧が夫々印加された各薄膜トランジスタが不良品か否かを判定する。

【0040】よって、より正確且つ迅速に各薄膜トランジスタを検査することができる。

【0041】上記の課題を解決するために、請求項8に記載の発明は、各前記薄膜トランジスタは、液晶パネルにおける各画素部内に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、前記判定工程において、各前記薄膜トランジスタが不良品か否かの判定を、前記液晶パネルの製造工程中において行うことを特徴とする。

【0042】請求項8に記載の発明の作用によれば、請求項5から7のいずれか一項に記載の発明の作用に加えて、各薄膜トランジスタは、液晶パネルにおける各画素部内に夫々配置され、当該画素部に対応する液晶を駆動するための薄膜トランジスタであると共に、判定工程において、各薄膜トランジスタが不良品か否かの判定を、液晶パネルの製造工程中において行う。

【0043】よって、液晶パネルの製造工程上において、当該製造されている液晶パネルの良否を迅速に判定することができる。

【0044】

【発明の実施の形態】次に、本発明に好適な実施の形態について、図面を用いて説明する。なお、以下に説明する実施形態は、液晶パネル内の各画素部毎に配置されている薄膜トランジスタ（以下、単にTFT（Thin Film Transistor）と称する。）の動作状況を、当該液晶パネルの製造工程途中のTFTの形成が終了した段階で複数のTFTについて一度に検査するための検査装置に本発明を適用した場合の実施の形態である。

【0045】（I）原理

始めに、具体的な実施形態を説明する前に、本発明の原理について図1を用いて説明する。

【0046】まず、本発明に係る検査装置がその検査の対象とするTFTの構成について、図1（a）を用いて説明する。なお、図1（a）は、本発明の検査対象に係るTFTとしての逆スタガ型TFTの構成を示す断面図である。

【0047】図1（a）に示すように、本発明の検査対

象としての逆スタガ型のTFT30は、ガラス等の基板15上に形成されるものであり、当該TFT30の駆動時に所定の駆動電圧が印加されるゲート電極16と、当該ゲート電極16を包含するように形成された窒化シリコン等よりなる絶縁層14と、TFT30の駆動時においてゲート電極16に印加された駆動電圧により後述する反転層17が形成されるアモルファスシリコン（a-Si）等よりなる半導体層13と、当該半導体層13と後述するソース電極12又はドレイン電極10とを接続するためにドナーが高濃度にドーピングされているn+層13'と、TFT30が含まれる液晶パネル内の画素電極に接続されている上記ドレイン電極10と、当該画素電極に供給すべきデータ信号（当該液晶パネルを用いて表示すべき画像に対応するデータ信号）が外部から印加されるソース電極12と、により構成されている。

【0048】次に、TFT30の駆動時における動作を概説する。

【0049】TFT30の駆動時においては、まず、ソース電極12に上記データ信号が印加されると共に、ゲート電極16に上記駆動電圧が印加される。

【0050】そして、ゲート電極16に駆動電圧が印加されると、これにより絶縁層14内のゲート電極16の近辺に正孔が誘起される。

【0051】次に、当該誘起された正孔の静電力により、半導体層13内のゲート電極16の近辺（すなわち、半導体層13内のソース電極12とドレイン電極10との間の領域のゲート電極16に近い部分）に電子が誘起され、当該誘起された電子により図1（a）に示す反転層17が形成される。

【0052】そして、当該反転層17内にソース電極12に印加されているデータ信号がドレイン電極10に到達するためのいわゆるチャネルが形成され、これにより、当該データ信号がドレイン電極10から上記画素電極に印加され、当該画素電極に対応する領域の液晶が駆動されてデータ信号に対応した画像が表示される。

【0053】ここで、上記液晶パネルの製造工程途中であって、TFT30の形成が完了した直後に、図1

（a）に示すような後述する検査プローブ18を半導体層13を挟んでゲート電極16に対向する位置に配置したとき、当該検査プローブ18とゲート電極16との間に形成される静電容量を考えてみると、まず、TFT30が駆動されていないとき（すなわち、上記反転層17が半導体層13内に形成されていないとき）には、当該静電容量としては、図1（b）に示すように、検査プローブ18の先端と半導体層13の表面（TFT30が形成された直後においては、ソース電極12とドレイン電極10との間は空間とされており、半導体層13の上面が空气中に露出した状態となっている。）との間の距離dxの空間が有する静電容量としてのコンデンサCxと、ゲート電極16上に形成されている厚さdaの半導体層

13が有する静電容量としてのコンデンサCaと、ゲート電極16と半導体層13とに挟まれている絶縁層14が有する静電容量としてのコンデンサCnとが直列に接続されたものと等価な静電容量が形成されているとみなすことができる。

【0054】これに対して、TFT30の駆動時においては、上述のように半導体層13内に導電性を有する反転層17が形成されるため、半導体層13の有する静電容量としては、図1(c)に示すように、その厚さを元の厚さdaから反転層17の厚さ分だけ減少させた厚さdbの部分の有するコンデンサCbが形成されたのと等価となる。従って、TFT30が駆動されているときには、検査プローブ18とゲート電極16との間には、図1(c)に示すように、上記コンデンサCxとコンデンサCnとコンデンサCbとを直列に接続したものと等価な静電容量が形成されているとみなすことができる。

【0055】そこで、本発明では、各TFT30の駆動中において上述した検査プローブ18とゲート電極16との間に形成される静電容量を検出することを同時に検査される複数のTFT30について同時に行い、その結果と、良品である一のTFT30について、当該一のTFT30のゲート電極16に駆動電圧を印加したときの当該一のTFT30に関する上記静電容量に、複数の検査プローブ18が一度に配置されるTFT30の数に乗じた値（以下、参照静電容量と称する。）とを比較することにより、当該駆動電圧が同時に印加された各TFT30が不良品か否かを判定することにより、各TFT30を実際の駆動状態と同様な状態にしたとき（すなわち、上記駆動電圧をゲート電極16に印加したとき）に上記反転層17が形成されているか否かを複数のTFT30について一度に判定する。

【0056】より具体的には、各TFT30において当該反転層17が形成された（すなわち、同時に検査される複数のTFT30の駆動後における上述した検査プローブ18とゲート電極16との間に形成される静電容量の合計値と上記参照静電容量とが等しい）ときには当該各TFT30には動作不良のTFTは含まれていないと判断し、一方、それらが相互に等しくないときは、駆動電圧を各ゲート電極16に印加しても上記反転層17が形成されてらず、従って、当該各TFT30にはその駆動時に反転層17が形成されない動作不良のTFTが含まれていると判断する。

【0057】なお、本発明においては、液晶パネル内のTFT30が非常に微少な構造を有していることから、上述した静電容量の変化を検出するに当たって、いわゆる走査型プローブ顕微鏡（一般には、AFM/SCAM（Atomic Force Microscope（原子間力顕微鏡）/Scanning Capacitance Microscope（容量走査型プローブ顕微鏡））と称されている。）を用いて上記各検査プローブ18を各TFT30の位置に配置してその静電容量

の変化を検出している。

【0058】(II)実施形態に係る液晶パネルの構成次に、本実施形態における検査対象であるTFT30が含まれている液晶パネルの一例について、図2を用いてその概要を説明する。なお、図2は、実施形態のTFT30を有する液晶パネルにおけるTFTアレイ基板上に設けられた各種配線、周辺回路等の構成を示すブロック図である。

【0059】図2に示すように、液晶パネル200は、例えば石英基板、ハードガラス等からなるTFTアレイ基板1を備えている。このTFTアレイ基板1上には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており夫々がY方向に沿って伸びるデータ線35（ソース電極線）と、Y方向に複数配列されており夫々がX方向に沿って伸びる走査線31（ゲート電極線）と、各データ線35と画素電極11との間に夫々介在すると共に当該データ線35と画素電極11の間における導通状態及び非導通状態を、走査線31を介して夫々供給される走査信号を用いて夫々制御する複数の上記TFT30とが形成されている。

【0060】また、TFTアレイ基板1上には、複数のデータ線35に対して、データ信号に先行して所定電圧レベルのプリチャージ信号を夫々供給するプリチャージ回路201と、上記データ信号をサンプリングして複数のデータ線35に夫々供給するサンプリング回路301と、データ線駆動回路101と、走査線駆動回路104とが形成されている。

【0061】このとき、走査線駆動回路104は、外部制御回路から供給される電源電圧及び基準クロック等に基づいて、所定タイミングで走査線31（ゲート電極線）に走査信号をパルス的に線順次で印加する。

【0062】一方、データ線駆動回路101は、外部制御回路から供給される電源電圧、基準クロック等に基づき、走査線駆動回路104が走査信号を印加するタイミングに合わせて、6つの入力信号線VID1～VID6の夫々について、データ線35毎にサンプリング回路駆動信号をサンプリング回路駆動信号線306を介してサンプリング回路301に供給する。

【0063】次に、プリチャージ回路201は、TFT202を各データ線35毎に備えている。そして、プリチャージ信号線204がTFT202のソース電極に接続されて、プリチャージ回路駆動信号線206がTFT202のゲート電極に接続されている。そして、プリチャージ信号線204を介して外部電源からプリチャージ信号を書き込むために必要な所定電圧の電源が供給されると共に、各データ線35について、データ信号に先行するタイミングでプリチャージ信号を書き込むように、外部制御回路からプリチャージ回路駆動信号線206を介してプリチャージ回路駆動信号が供給される。このとき、プリチャージ回路201は、好ましくは中間階調レ

ベルの画素データに相当する上記プリチャージ信号を供給する。

【0064】更に、サンプリング回路301では、TFT302を各データ線35毎に備え、入力信号線VID1～VID6がTFT302のソース電極に接続され、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、入力信号線VID1～VID6を介して、6相展開された6つのパラレルな画像信号が入力されると、これらの画像信号をサンプリングする。

【0065】また、データ線駆動回路101からサンプリング回路駆動信号線306を介してサンプリング回路駆動信号が入力されると、6つの入力信号線VID1～VID6夫々についてサンプリングされた画像信号を、6つの隣接するデータ線35からなるグループ毎に順次当該データ線35に印加する。

【0066】このとき、プリチャージ回路201及びサンプリング回路301は、図1中斜線領域で示すように、対向基板に形成された遮光性の周辺見切り53に対向する位置のTFTアレイ基板1上に設けられており、データ線駆動回路101及び走査線駆動回路104は、液晶層に面しないTFTアレイ基板1の周辺部分上に設けられている。

【0067】そして、上述した液晶パネル200において、画像表示時に、各画素部内のTFT30が駆動電圧（上記走査信号として印加される）に対応して正常に動作しないと、夫々の画素電極11に対してデータ線35からのデータ信号が印加されずにその画素部では液晶が駆動されない（すなわち、データ信号に対応する画像が表示されない。）こととなるため、当該液晶パネル200の製造工程において、後述する検査装置Sにより夫々のTFT30の動作状態が検査されるのである。

#### 【0068】(III) 実施形態

次に、本発明に係る検査装置の実施形態について、図3乃至図6を用いて説明する。なお、図3は検査装置の全体構成を示すブロック図であり、図4は検査プローブ18が一度に検査されるTFT30の数だけ形成されているプローブ部の構成を示す平面図及び断面図であり、図5は当該検査装置内に検査対象である複数のTFT30内の静電容量（図1（b）又は（c）参照）を含んで形成される共振回路を示す回路図であり、図6は検査装置における検査工程を示すフローチャートである。

【0069】始めに、実施形態に係る検査装置の構成について、図3乃至図5を用いて説明する。

【0070】図3に示すように、実施形態に係る検査装置Sは、判定手段としてのCPU20と、インターフェース21と、スキャン回路22と、サーボ回路23と、モータ24と、配置手段としての駆動ステージ25と、ピエゾスタック26と、プローブ部Pと、試料ステージ27と、測定手段としての共振部28と、ロックインア

ンプ29と、接続線40及び41と、印加手段としてのゲート電圧印加回路42と、により構成されている。

【0071】また、プローブ部Pは、図4に示すように、25個の上記検査プローブ18と、カンチレバーを介して各検査プローブ18を規則的に配列して支持し、ピエゾスタック26に接続するための支持板50とにより構成されている。

【0072】更に、共振部28内には、図1（b）又は（c）に示すコンデンサCx、コンデンサCn及びコンデンサCb（又はコンデンサCa）を含んで後述する共振回路を構成するための固有インダクタンスLs及び固有コンデンサCsと交流電源Dとが含まれている。

【0073】ここで、プローブ部Pにおいては、図4（a）（下側から見た平面図）及び図4（b）（側面図）に示すように、支持板50の下面に各検査プローブ18がマトリクス状に配置されており、各検査プローブ18は、スキヤム（SCaM）電極51を介して夫々一行毎に纏められて接続線41に接続されている。このとき、支持板50上の各検査プローブ18の間隔は、液晶パネル上に形成されているTFT30の間隔と行方向及び列方向の夫々について一致しており、図4（c）に示すように、各検査プローブ18を形成された各TFT30に対面するように配置した時には、夫々の検査プローブ18と対応する各TFT30との関係が、図1に示すような位置関係となる。

【0074】次に、各部の概要動作を説明する。

【0075】試料ステージ27は、TFT30が形成された直後で当該TFT30上に液晶パネル200を構成するための液晶層、画素電極11等が形成される前の状態（すなわち、TFT30における上記ソース電極12とドレイン電極10との間の半導体層13上に空間がある状態）のTFTアレイ基板1を固定載置する。

【0076】このとき、当該TFTアレイ基板1内の各画素部毎のゲート電極16には、CPU10からの制御信号Sgcに基づくゲート電圧印加回路42の動作により、ゲート駆動信号Sgdとして上記反転層17を形成させるための駆動電圧が夫々のゲート電極16毎に印加される。

【0077】一方、ピエゾスタック26及び駆動ステージ25は、各検査プローブ18を含むプローブ部Pを支持し、モータ24からの駆動信号Sdに基づいて、プローブ部Pを検査対象となる25個のTFT30上の検査位置（図1参照）に配置する。

【0078】このとき、インターフェース21は、CPU20からの制御信号Scに対してインターフェース処理を施し、スキャン回路22に出力する。

【0079】そして、スキャン回路22は、複数個形成されているTFT30のうち、検査対象となるTFT30を決定し、その位置にプローブ部Pを移動させるべくスキャン信号Scaをサーボ回路23に出力する。



【0080】次に、サーボ回路23は、入力されたスキャン信号Scaに基づいて、検査対象となるTF T 30の位置に正確にプローブ部P（検査プローブ18）を位置させるべくモータ24を駆動して上記駆動信号Sdを出力させるためのサーボ信号Ssvを生成して当該モータ24に出力する。

【0081】これと並行して、各検査プローブ18とスキューム電極51及び接続線41を介して接続されている共振部28では、接続線40を介して夫々接続されている検査対象となる25個のTF T 30の各ゲート電極16と、各検査プローブ18と、当該共振部28内の上記固有コンデンサCs、固有インダクタンスLs及び交流電源Dとにより、当該ゲート電極16に駆動電圧を印加した後で夫々に共振回路が構成される。そして、当該駆動電圧を印加する前後で当該共振回路の共振周波数が検出され、検出された共振周波数に対応する周波数信号Sfが出力される。ここで、上記共振周波数の具体的な検出方法としては、例えば、上記構成された共振回路における並列共振が開始された後、その共振周波数をいわゆるQメータを用いた図示しない周波数検出回路により検出し、当該検出した共振周波数に対応する上記周波数信号Sfを出力するように構成することができる。

【0082】ここで、駆動電圧をゲート電極16に印加する前後に構成される共振回路について、図5を用いて説明する。なお、図5において、図5（a）は駆動電圧が印加される前に複数のTF T 30について構成される共振回路を示し、図5（b）は駆動電圧が印加されて各TF T 30の半導体層13内に反転層17が形成されたときに当該各TF T 30について構成される共振回路を示している。また、図5（a）又は図5（b）において、一のTF T 30内に構成される直列容量回路の下部に示す括弧付き番号は、各TF T 30の番号を示している。

【0083】図5（a）に示すように、ゲート電極16に駆動電圧を印加する前には、上記反転層17が形成されていないので、各TF T 30において検査プローブ18とゲート電極16との間に形成される静電容量は、上述のように、コンデンサCx、コンデンサCa及びコンデ

ンサCnを直列に接続したものと等価となっている（図1（b）参照）。そして、このコンデンサCx、コンデンサCa及びコンデンサCnの直列接続は、検査対象となった25個のTF T 30の夫々について形成されている。そこで、各TF T 30におけるコンデンサCx、コンデンサCa及びコンデンサCnの直列接続と夫々並列に、交流電源Dと固有インダクタンスLs及び固有コンデンサCsを直列接続したものを接続すると、図5

（a）に示すような共振回路が全体として形成される。

【0084】一方、ゲート電極16に駆動電圧を印加した後には、半導体層13内に反転層17が形成されるので、各TF T 30において検査プローブ18とゲート電極16とに間に形成される静電容量は、上述のように、コンデンサCx、コンデンサCb及びコンデンサCnを直列に接続したものと等価となっている（図1（c）参照）。そして、このコンデンサCx、コンデンサCb及びコンデンサCnの直列接続は、上記駆動電圧を印加しない時と同様に、検査対象となった25個のTF T 30の夫々について形成されている。そこで、このコンデンサCx、コンデンサCb及びコンデンサCnの直列接続と夫々並列に、交流電圧Dと固有インダクタンスLs及び固有コンデンサCsを直列接続したものを接続すると、図5（b）に示すような共振回路が形成される。

【0085】ここで、図5（a）に示す共振回路の共振周波数をF25offとし、図5（b）に示す共振回路の共振周波数をF25onとしたとき、夫々の共振周波数F25on及び共振周波数をF25offを算出する方法について具体的に説明する。

【0086】先ず、検査プローブ18が配置された一のTF T 30のみに注目すると、共振部28内の交流電圧Dと固有インダクタンスLs及び固有コンデンサCsと、当該一のTF T 30におけるコンデンサCx、コンデンサCb及びコンデンサCnの直列接続とを並列に接続した容量回路において、駆動電圧を印加する前の共振周波数Faと駆動電圧を印加した後の共振周波数Fbとは、夫々以下の式（1）及び（2）で示される。

【0087】

【数1】

$$F_a = \frac{1}{2\pi} \sqrt{\frac{1}{L_s C_s} + \frac{C_a C_n + C_x C_n + C_x C_a}{L_s C_x C_a C_n}} \quad \text{----- (1)}$$

$$F_b = \frac{1}{2\pi} \sqrt{\frac{1}{L_s C_s} + \frac{C_b C_n + C_x C_n + C_x C_b}{L_s C_x C_b C_n}} \quad \text{----- (2)}$$

$$C_a = \frac{\epsilon S}{d_a}$$

$$C_b = \frac{\epsilon S}{d_b}$$

【0088】ここで、 $\epsilon$ は空気中の誘電率であり、 $S$ は反転層17の基板15に平行な面の面積である。また、 $d_a$ は半導体層13全体の厚さであり（図1（b）参照）、 $d_b$ は駆動電圧の印加時に反転層17が形成される部分以外の半導体13の厚さである（図1（c）参照）。

【0089】次に、一度に検査プローブ18が配置される25個のTFT30全体について同様に考えると、各検査プローブ18と対応する各TFT30とを夫々含む容量回路内の静電容量を全て加算したものが一度に検出される全体の静電容量となるから、共振部28内の交流電圧 $D$ と固有インダクタンス $L_s$ 及び固有コンデンサ $C_s$ との間で形成される並列共振回路（図5参照）全体の共振周波数 $F_{25on}$ 及び $F_{25off}$ は以下の式（3）及び（4）で示される。

$$F_{25on} = 25 \times F_b \quad \text{--- (3)}$$

$$F_{25off} = 25 \times F_a \quad \text{--- (4)}$$

従って、本実施形態では、検査対象のTFT30の各ゲート電極16に駆動電圧を印加する前は、交流電源 $D$ により共振回路に交流電流を印加すると、共振周波数 $F_{25off}$ に対応する値の周波数信号 $S_f$ が共振部28から出力され、一方、各ゲート電極16に駆動電圧を印加した後は、上記交流電流を印加すると共振周波数 $F_{25on}$ に対応する値の周波数信号 $S_f$ が共振部28から出力されることとなる。

【0091】そこで、駆動電圧を印加後の周波数信号 $S_f$ を検出し、それにより示される共振周波数 $F_{25on}$ が予め別途計測されていた良品であるTFT30一個についての上記共振周波数 $F_b$ の25倍となっていれば、駆動電圧を印加したことにより25個全てのTFT30において上記反転層17が形成され、従って、その時の検査対象であるTFT30内は正常に動作するTFTであると判定できる。また、駆動電圧を印加後に測定した周波数信号 $S_f$ により示される共振周波数 $F_{25on}$ が上記共振周波数 $F_b$ の25倍となっていなければ、駆動電圧を

印加しても各TFT30に反転層17が形成されていないこととなり、従って、その時の検査対象であるTFT30内には正常に動作しない不良なTFT30が含まれていると判定できる。

【0092】このため、ロックインアンプ29は、上記周波数信号 $S_f$ を所定の増幅率で増幅し、増幅周波数信号 $S_{af}$ としてCPU20に出力し、これにより、CPU20は駆動電圧を印加後の増幅周波数信号 $S_{af}$ で示される共振周波数 $F_{25on}$ と上記共振周波数 $F_b$ の25倍の値とを比較することにより、検査対象となっている25個の各TFT30の動作状態の良否を判定し、その結果を表示信号 $S_{dp}$ としてディスプレイ43に出力し、当該ディスプレイ43がその結果を所定の形式で表示する。

【0093】次に、上述の構成及び動作を有する検査装置 $S$ を用いた本実施形態に係る検査動作について、図6に示すフローチャートを用いて説明する図6に示すように、実施形態の検査動作においては、始めに、TFTアレイ基板1上に形成されているTFT30の番号を示すパラメータ $N$ を初期化する（ステップS1）。

【0094】次に、検査装置 $S$ におけるAFMとしての機能を用いて、検査プローブ18を支持する図示しないカンチレバーにより原始間力による変位を測定し、各検査プローブ18の先端と半導体層13の表面との距離 $d_x$ を測定する（ステップS2）。

【0095】次に、検査対象となっている25個のTFT30の各ゲート電極16にゲート電圧印加回路42により駆動電圧を夫々印加し（ステップS3）、パラメータ $N$ を25だけインクリメントして（ステップS4）、そのままの状態図5（b）に示す共振回路（図5

（b）は正常に反転層17が形成された場合の共振回路であり、これに対して正常に反転層17が形成されないと、図5（a）に示す共振回路が依然として並列共振することとなる。）を並列共振させ、その時の共振周波数 $F_{meas}$ を検出する（ステップS5）。

【0096】そして、CPU20において、図示しない

メモリに記憶しておいた上記共振周波数 $F_b$ （図6に示す処理の前に予め一個の良品であるTFT30について計測しておいたもの。）を25倍した値（共振周波数 $F_{25on}$ ）と上記共振周波数 $F_{meas}$ （ステップS5参照）とを比較する（ステップS6）。

【0097】そして、共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ とが等しくないときは（ステップS6；NO）、各ゲート電極16に駆動電圧が印加されたにも拘わらずいずれかのTFT30において反転層17が形成されずに共振周波数が変化しなかったものとして、そのときに検査対象となっていたTFT30の中に不良品が含まれており、従って現在検査中のTFTアレイ基板1は不良品である旨の表示をして（ステップS9）処理を終了する。

【0098】一方、ステップS6の判定において、共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ とが等しいときは（ステップS6；YES）、次に、現在のパラメータNの値がTFT30の最大番号である番号Kと等しいか否かを判定し（ステップS7）、等しくないときは（ステップS7；NO）、現在駆動電圧が印加されていた各TFT30は正常に反転層17が形成されたことにより共振周波数が変化したとして、当該各TFT30を正常に動作するTFTと判定し、次の一群に相当する25個のTFT30を検査すべく、スキャン回路22及びサーボ回路23によりモータ24を駆動して検査プローブ18を当該次の一群に相当する各TFT30の位置に移動させ（ステップS10）、上記ステップS4に移行して上述した動作を繰り返す。

【0099】一方、ステップS7の判定において、パラメータNの値がTFT30の最大番号と等しいときは（ステップS7；YES）、全てのTFT30に対する検査が終了し且つ動作不良のTFT30が発見されなかったとして、現在検査中のTFTアレイ基板1は良品である旨の表示をして（ステップS8）処理を終了する。

【0100】以上説明したように、実施形態の検査装置Sの動作によれば、実際の駆動時に印加される駆動電圧を印加した状態でTFT30が不良品か否かが判定できるので、実際の駆動時と同じ状態で正確に当該TFT30の良否を検査することができる。

【0101】また、25個のTFT30の良否を一度に検査できるので、検査効率が著しく向上する。

【0102】更に、各検査プローブ18と各ゲート電極18との間の静電容量と共振部28内の固有インダクタンス $L_s$ 及び固有コンデンサ $C_s$ とにより構成される閉回路の共振周波数を測定することにより当該静電容量を測定すると共に、駆動電圧を印加する前後における共振周波数の変化に基づいて、当該駆動電圧が印加されたTFT30が不良品か否かを判定するので、より正確且つ迅速に各TFT30を検査することができる。

【0103】更に、液晶パネル200の製造工程上にお

いて、当該製造されている液晶パネル200の良否を判定することができる。

【0104】なお、上記ステップS8又はS9を終了した後には、不良品と判定された液晶パネル200をその製造工程からはずす等の処理が行われることとなる。

#### 【0105】（IV）変形形態

次に、本発明の変形形態について説明する。

【0106】上述した実施形態においては、検査対象となるTFT30として、逆スタガ型のTFTを用いた場合について説明したが、これ以外に、図7に示すような正スタガ型のTFTに対しても本発明を適用することができる。

【0107】この場合には、図7（a）に示すようなTFT30'において、反転層17は、絶縁層14の直下の半導体層13の部分に形成される。そして、図3における接続線40は半導体層13に接続されることとなる。

【0108】更に、図7（a）に示すように検査プローブ18を配置したときには、当該検査プローブ18と半導体層13との間に図7（b）に示すような静電容量が形成され、このうち、半導体層13内に等価的に形成されるコンデンサCaの静電容量が、駆動電圧印加後の反転層17が形成された後には、当該反転層17の厚さだけ減じた厚さを有する半導体層13の静電容量（図1（c）に示すコンデンサCbの静電容量）に変化し、この静電容量の変化が検出されて反転層17の有無、すなわち、TFT30'の動作状態の良否が検査されることとなる。

【0109】上述した変形形態の場合でも、上記実施形態と同様な効果を奏することができる。

【0110】なお、上述の実施形態及び変形形態におけるステップS7の判定においては、共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ とが一致しないときに各TFT30が不良品であると判定しているが、これ以外に、共振回路を構成する各コンデンサの容量値又はインダクタンスのインダクタンス値のばらつきを考慮して、当該共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ との差が予め設定された一定値以下であるときに各TFT30が不良品であると判定してもよい。

【0111】更に、上述の実施形態においては、共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ 一致したか否かのみを判定して検査したが、これ以外に、共振周波数 $F_{25on}$ と共振周波数 $F_{meas}$ とが一致しない時、その差がどの程度あるかを検出することにより、一度に検査するTFT30のうち、いくつのTFT30が不良品であるかを判定することもできる。これは、一群のTFT30を含む静電容量の和が単純な代数和であることによるものである。

【0112】更に、上述の実施形態及び変形形態では、液晶パネル200の画素部に形成されているTFTを検

査する場合について説明したが、これ以外に、本発明は、当該画素以外の、例えば上述したプリチャージ回路201、走査線駆動回路104、データ線駆動回路101又はサンプリング回路306内に形成されているTFTを液晶パネル200の製造工程途中において検査する場合に適用することも可能である。

【0113】更にまた、本発明は、液晶パネル200内のTFT以外でも、一般に薄膜技術を用いて形成されるTFTをその製造工程直後に検査する場合に広く適用することができる。

【0114】

【発明の効果】以上説明したように、本発明によれば、実際の駆動時と同じ状態で各薄膜トランジスタを駆動しつつその良否を、複数個の薄膜トランジスタについて同時に検査できるので、実際の駆動時と同じ状態で迅速且つ正確に各薄膜トランジスタの良否を検査することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明する図であり、(a)は検査対象のTFTを示す断面図であり、(b)は駆動電圧印加前に形成される静電容量の構成を示す図であり、(c)は駆動電圧印加後に形成される静電容量の構成を示す図である。

【図2】検査対象のTFTを含むTFTアレイ基板の概要構成を示すブロック図である。

【図3】検査装置の概要構成を示すブロック図である。

【図4】プローブ部の構成を示す図であり、(a)は下面平面図であり、(b)は側面図であり、(c)は検査すべきTFTと検査プローブの位置関係を示す側面図である。

【図5】検査時に形成される共振回路の構成を示す回路図であり、(a)は駆動電圧印加前に形成される共振回路を示す回路図であり、(b)は駆動電圧印加後に形成される共振回路を示す回路図である。

【図6】本発明に係る検査工程を示すフローチャートである。

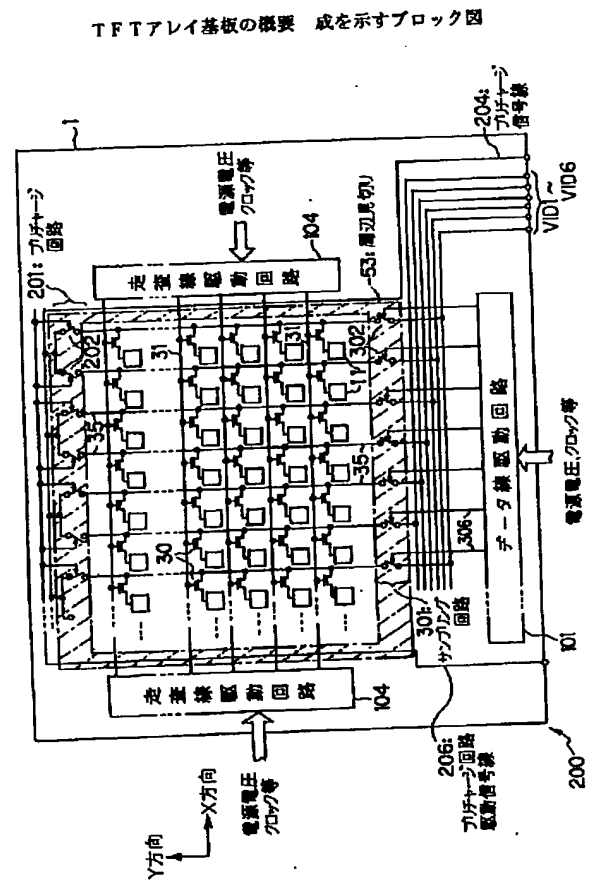
【図7】正スタガ型TFTの構成を示す断面図等であり、(a)は正スタガ型TFTの構成を示す断面図であり、(b)は駆動電圧印加前後に形成される静電容量の構成を示す図である。

【符号の説明】

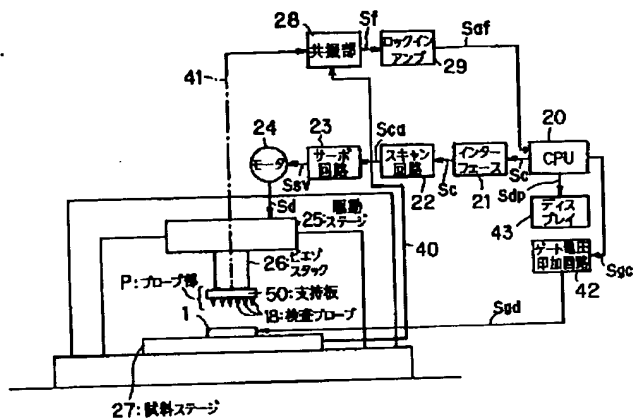
1…TFTアレイ基板  
10…ドレイン電極  
12…ソース電極  
13…半導体層

13'…n+層  
14…絶縁層  
15…基板  
16…ゲート電極  
17…反転層  
18…検査プローブ  
20…CPU  
21…インターフェース  
22…スキャン回路  
23…サーボ回路  
24…モータ  
25…駆動ステージ  
26…ピエゾスタック  
27…試料ステージ  
28…共振部  
29…ロックインアンプ  
30、30'、202、302…TFT  
31…走査線  
35…データ線  
40、41…接続線  
42…ゲート電圧印加回路  
43…ディスプレイ  
50…支持板  
51…スキューム電極  
53…周辺見切り  
101…データ線駆動回路  
104…走査線駆動回路  
200…液晶パネル  
201…プリチャージ回路  
204…プリチャージ回路信号線  
206…プリチャージ回路駆動信号線  
301…サンプリング回路  
306…サンプリング回路駆動信号線  
D…交流電源  
Cx、Ca、Cb、Cn…コンデンサ  
Ls…固有インダクタンス  
Cs…固有コンデンサ  
Sc、Sgc…制御信号  
Sdp…表示信号  
Sca…スキャン信号  
Ssv…サーボ信号  
Sd…駆動信号  
Sgd…ゲート駆動信号  
Sf…周波数信号  
Saf…増幅周波数信号

【図 2】

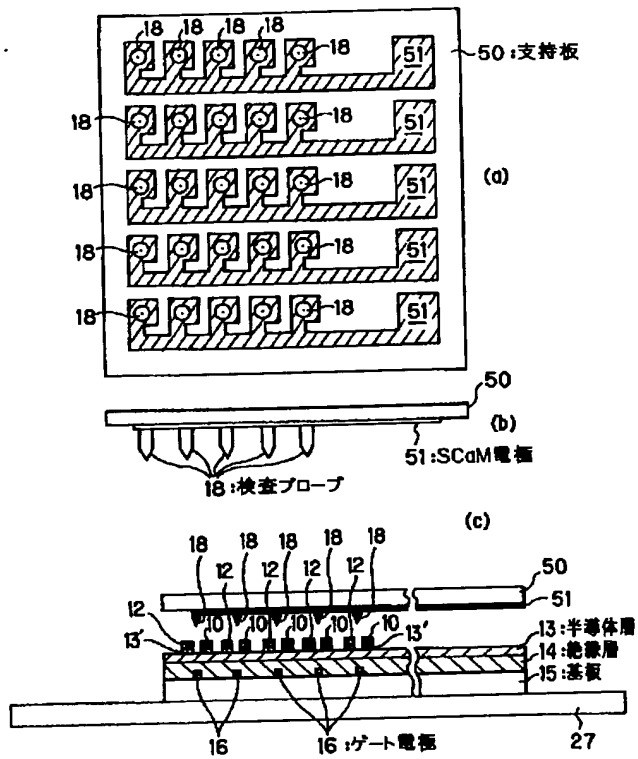


### 検査装置の概要構成を示すブロック図



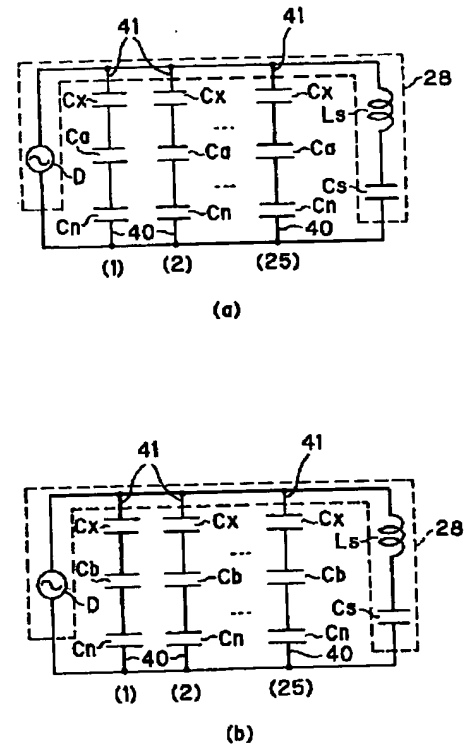
【図4】

プローブ部の構成



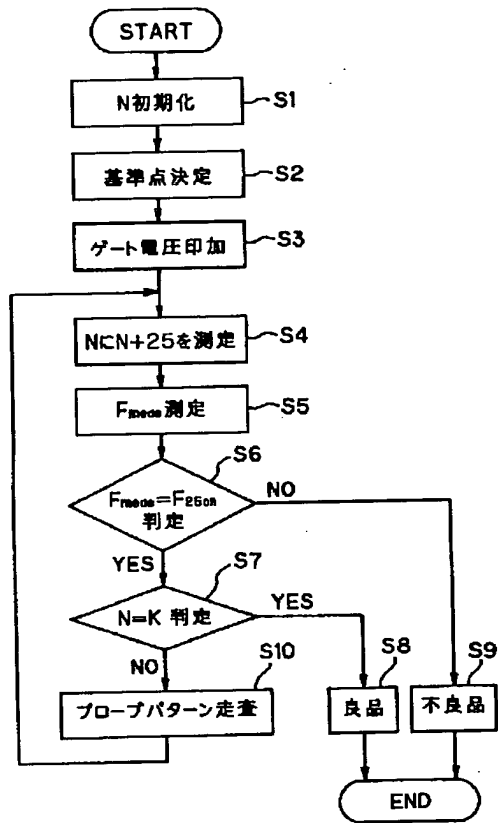
【図5】

共振回路の構成を示す回路図



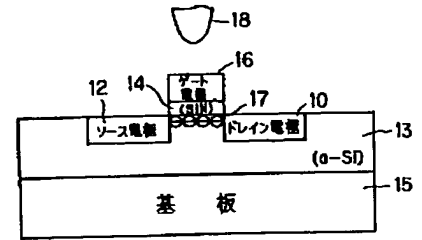
【図6】

本発明に係る検査工程を示すフローチャート

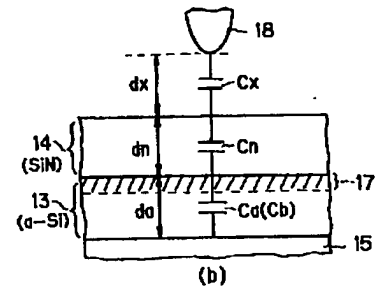


【図7】

正スタガ型TFTの構成を示す断面図



(a)



(b)